

PAT-NO: JP405102483A

DOCUMENT-IDENTIFIER: JP 05102483 A

TITLE: FILM TRANSISTOR AND ITS MANUFACTURING METHOD

PUBN-DATE: April 23, 1993

INVENTOR-INFORMATION:

NAME
UEDA, TORU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP03262263

APPL-DATE: October 9, 1991

INT-CL (IPC): H01L029/784, G02F001/136 , H01L027/12

US-CL-CURRENT: 257/352

ABSTRACT:

PURPOSE: To reduce the off-state current without marring concentration controllability and without lowering the on current and elevate on-off current ratio by oxidizing the section corresponding to a channel region of a semiconductor layer, and thickening the source region and the drain region of the semiconductor layer more than the channel region.

CONSTITUTION: A semiconductor layer 2 is made on an insulating substrate 1. And, the section to make a channel region is oxidized, and a channel region 9 is made by thinning the semiconductor 2 section not covered with a silicon nitride film 22, and also a thick polysilicon oxide film 23 is made. With this oxide film 23 as a mask, phosphorus is implanted into the

semiconductor layer 2
so as to form a source region 10a and a drain region 10b. Next, with
the gate
electrode 4 made on the channel region 9 as a mask, phosphorous is
implanted
into the semiconductor layer 2 so as to form high-concentration areas
12a and
12b. The sections not covered with a gate electrode 4 become low-
concentration
impurity areas 11a and 11b, and the channel region 9 remains.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-102483

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M		
		9056-4M	H 0 1 L 29/ 78	3 1 1 H

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平3-262263

(22)出願日 平成3年(1991)10月9日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 上田 徹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

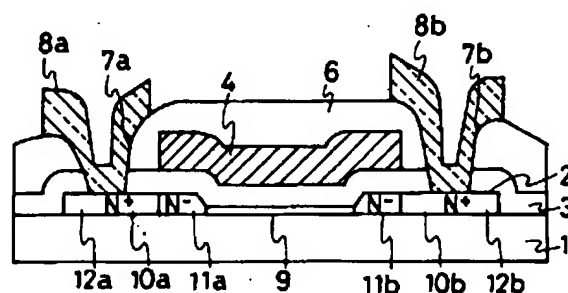
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 薄膜トランジスタ及びその製造方法

(57)【要約】 (修正有)

【目的】 薄膜トランジスタにおいて不純物が注入される部分の濃度制御性が損なわれず、しかもオン電流を低下させることなくオフ電流を低減してオン・オフ電流比を高くする。

【構成】 半導体層2のチャネル領域9部分に酸化を行って、ソース領域10a及びドレイン領域10bをチャネル領域より厚肉にする。その結果不純物が注入されるソース領域10a及びドレイン領域10bの濃度制御性が損なわれることはない。また半導体層2を予め厚く形成しておけば結晶性は良好となる。またチャネル領域9を酸化により薄肉化するため、半導体層2全体の結晶性は損なわれずオン電流は増大する。ソース領域10a及びドレイン領域10bは厚肉のまま残されるので、それら領域の抵抗は十分に低くなる結果オン電流は低下し難い。チャネル領域9が薄肉化されるのでオフ電流は低減され、さらに半導体層2がLDD構造により一層低減され、オン・オフ電流比を高くできる。



1

【特許請求の範囲】

【請求項1】 絶縁性基板上に半導体層、ゲート絶縁膜及びゲート電極がこの順に、又は逆の順に積層形成され、該半導体層の3つに区分された帯状領域の中央部がチャネル領域となっており、両側の一方がソース領域、他方がドレイン領域となった薄膜トランジスタにおいて、

該半導体層のソース領域及びドレイン領域の厚さがチャネル領域の厚さよりも厚く、かつ、ソース領域及びドレイン領域のそれぞれがチャネル領域側を低濃度不純物領域とし、反対側を高濃度不純物領域とした2つの領域を有する薄膜トランジスタ。

【請求項2】 絶縁性基板上に半導体層、ゲート絶縁膜及びゲート電極がこの順に、又は逆の順に積層形成され、該半導体層の3つに区分された帯状領域の中央部がチャネル領域となっており、両側の一方がソース領域、他方がドレイン領域となった薄膜トランジスタの製造方法において、

半導体層を形成する工程と、
形成された半導体層のチャネル領域のみを選択酸化する工程と、
該チャネル領域に形成された酸化膜をマスクとして不純物を低濃度で注入し、チャネル領域の両側の半導体層部分の一方にソース領域を、他方にドレイン領域を形成する工程と、

該ソース領域及び該ドレイン領域それぞれのチャネル領域側を低濃度不純物領域として残した状態で、該低濃度不純物領域の外側に不純物を高濃度で注入して高濃度不純物領域を形成する工程と、

を含む薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置のスイッチング素子、或はスタティックRAM（SRAM）のメモリセル内の負荷素子等に用いられる薄膜トランジスタ（以下では、TFTと称す）及びその製造方法に関する。

【0002】

【従来の技術】上記TFTとして、図5又は図6に示すものが知られている。図5に示すTFTは、絶縁性基板31の上にポリシリコンからなる半導体層32が形成されている。この半導体層32は、3つの帯状領域に区分され、両端部がN⁺のソース・ドレイン領域40a、40bとなっており、その間がチャネル領域39となっている。上記半導体層32が形成された基板31の上には、2箇所に設けたコンタクトホール37a、37bを除く全面にわたりゲート絶縁膜33が形成され、このゲート絶縁膜33の上であって、前記チャネル領域39の上方部分にはゲート電極34が形成されている。

【0003】この状態の基板31の上には、前記コンタ

2

クトホール37a、37bを除いて層間絶縁膜36が形成されている。コンタクトホール37a、37bは、層間絶縁膜36及び上記ゲート絶縁膜33を貫通している。層間絶縁膜36の上には、コンタクトホール37a、37bに一部充填して電極38a、38bが或る範囲に形成されている。

【0004】一方、図6に示すTFTは、半導体層32を除いて図5のものと同様に形成されており、異なっている半導体層32の部分は次のようになっている。即ち、半導体層32のゲート電極34と対向する中央部に形成されたチャネル領域39と左端部にあるN⁺のソース領域40aとの間に、ソース領域40aよりも不純物濃度が低いN⁻の低濃度ソース領域41aが形成され、チャネル領域39と右端部にあるN⁺のドレイン領域40bとの間に、ドレイン領域40bよりも不純物濃度が低いN⁻の低濃度ドレイン領域41bが形成された、いわゆるLDD構造となっている。

【0005】ところで、TFTは、リーク電流（オフ電流）が小さく、オン電流が大きいという特性、即ちオン・オフ電流比が高いことが要求される。

【0006】その理由は、液晶表示装置に用いた場合には、短時間に絵素電極へ電荷を充電する必要がある為に大きなオン電流が、また充電された電荷を1フレームの間保持する必要がある為に低いオフ電流が要求されるからである。また、SRAMに用いた場合には、消費電流を低減する為に低オフ電流が、また耐ノイズ性や耐放射線性を良くしてメモリセルを安定化させる為に大きなオン電流が要求されるからである。

【0007】上述したオン・オフ電流比を高くする手法としては、従来、以下のように行われていた。例えば、ポリシリコンTFTの場合、オン電流の増大については、結晶粒径を拡大する等して結晶性を改善することにより行っている。一方のオフ電流の低減については、図5の半導体層32を薄膜化してチャネル領域39を薄くすることにより、或は図6のように半導体層32をLDD構造とすることにより行っている。

【0008】

【発明が解決しようとする課題】しかしながら、上述した半導体層の薄膜化やLDD構造化による場合には、オン電流の低下が招来されて、高いオン・オフ比を得ることが出来ないという問題があった。

【0009】即ち、前者の半導体層の薄膜化による場合は、半導体層が薄くなることにより結晶粒径の拡大化を余り期待できず、結晶性を改善できにくくオン電流の増大化を余り図れないでいた。加えて、ソース・ドレイン領域も薄くなることにより、ソース・ドレイン領域の抵抗が増加し、TFTがオン状態の時、ソース・ドレイン領域の抵抗で電流が制限され、オン電流が低くなっていた。

【0010】一方、後者のLDD構造化による場合は、

3

オフ電流を低くするためには、前記 N^- の低濃度ソース領域41a及び低濃度ドレイン領域41bの不純物濃度を低減すること、或は両領域41a及び41bの長さ(LN^-)を長くすることが必要となるが、いずれの場合もオフ電流を低くできるもののオン電流も低下し、十分に高いオン・オフ電流比を得ることが困難であった。

【0011】また、LDD構造化に加えて半導体層を薄膜化する場合には、TFT特性を左右する低濃度ソース領域41a及び低濃度ドレイン領域41bの濃度制御性が損なわれるという別の問題もあった。その理由は、イオン注入による拡散においては、注入すべき半導体層の厚さに比べ、イオン注入の飛程(R_p)のバラツキの方が大きくなってしまい、濃度制御性が損なわれるからである。

【0012】本発明は、このような従来技術の課題を解決すべくなされたものであり、濃度制御性が損なわれることがなく、またオン電流を低下させることなくオフ電流を低減することによりオン・オフ電流比を高めることができる薄膜トランジスタ及びその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の薄膜トランジスタは、絶縁性基板上に半導体層、ゲート絶縁膜及びゲート電極がこの順に、又は逆の順に積層形成され、該半導体層の3つに区分された帯状領域の中央部がチャンネル領域となっており、両側の一方がソース領域、他方がドレイン領域となった薄膜トランジスタにおいて、該半導体層のソース領域及びドレイン領域の厚さがチャンネル領域の厚さよりも厚く、かつ、ソース領域及びドレイン領域のそれぞれがチャンネル領域側を低濃度不純物領域とし、反対側を高濃度不純物領域とした2つの領域を有しており、そのことにより上記目的が達成される。

【0014】また、本発明の薄膜トランジスタの製造方法は、絶縁性基板上に半導体層、ゲート絶縁膜及びゲート電極がこの順に、又は逆の順に積層形成され、該半導体層の3つに区分された帯状領域の中央部がチャンネル領域となっており、両側の一方がソース領域、他方がドレイン領域となった薄膜トランジスタの製造方法において、半導体層を形成する工程と、形成された半導体層のチャンネル領域のみを選択酸化する工程と、該チャンネル領域に形成された酸化膜をマスクとして不純物を低濃度で注入し、チャンネル領域の両側の半導体層部分の一方にソース領域を、他方にドレイン領域を形成する工程と、該ソース領域及び該ドレイン領域それぞれのチャンネル領域側を低濃度不純物領域として残した状態で、該低濃度不純物領域の外側に不純物を高濃度で注入して高濃度不純物領域を形成する工程と、を含んでおり、そのことにより上記目的が達成される。

【0015】

【作用】本発明にあつては、半導体層のチャンネル領域相

4

当部分に酸化を施して、半導体層のソース領域及びドレイン領域をチャンネル領域よりも厚肉となす。よって、不純物注入が行われるソース領域及びドレイン領域が厚いので、濃度制御性が損なわれることがない。また、予め半導体層を厚く形成しておく、半導体層は良好な結晶状態となる。また、チャンネル領域の薄肉化を酸化により行うので、半導体層全体の結晶性が損なわれない。これによりオン電流が大きくなる。更に、ソース領域及びドレイン領域は厚肉のまま残されるので、ソース領域及びドレイン領域の抵抗は十分に低い状態となる。これにより、オン電流が低くなり難い。

【0016】一方、チャンネル領域が薄肉となっているので、オフ電流は低減される。更に、オフ電流は、半導体層がLDD構造とされることで、より低減される。このため、オン・オフ電流比を高くすることができる。

【0017】

【実施例】以下、本発明の実施例について説明する。

【0018】(実施例1) 図1に本実施例の薄膜トランジスタを示す。この薄膜トランジスタは、絶縁性基板1の上にポリシリコンからなる半導体層2が形成されている。この半導体層2は3つに区分された帯状領域を有し、両端部の一方が厚肉のソース領域10a、他方が厚肉のドレイン電極10bとなっており、その間が薄肉のチャンネル領域9となっている。更に、ソース領域10aとドレイン電極10bとは、それぞれ2つの帯状領域に分かれていて、チャンネル領域9側に低濃度不純物領域11a、11bが、逆の外側に高濃度不純物領域12a、12bが形成されている。

【0019】上記半導体層2が形成された基板1の上には、2箇所に設けたコンタクトホール7a、7bを除く全面にわたりゲート絶縁膜3が形成され、このゲート絶縁膜3の上であつて、前記チャンネル領域9の上方部分にはゲート電極4が、チャンネル領域9よりも広い範囲にわたり形成されている。

【0020】この状態の基板1の上には、前記コンタクトホール7a、7bを除いて層間絶縁膜6が形成されている。コンタクトホール7a、7bは、層間絶縁膜6及び上記ゲート絶縁膜3を貫通している。層間絶縁膜6の上には、コンタクトホール7a、7bに一部充填して電極8a、8bが或る範囲に形成されている。

【0021】次に、この構造の薄膜トランジスタの製造方法を図2に基づいて説明する。先ず、図2(a)に示すように、絶縁性基板1上にポリシリコンからなる半導体層2を形成する。絶縁性基板1としては、例えば石英や SiO_2 、 Si_3N_4 等の絶縁膜で覆われたSi基板を用いた。この上の半導体層2は、例えば原料ガスとしての Si_2H_6 (ジシラン)に N_2 を加えたものを用い、かつ、減圧CVD法を使用し、 $470^\circ C$ の温度、50Paの圧力で1000オングストロームの非晶質シリコンを堆積した後、熱処理して多結晶化させ形成する。熱処

5

理は、例えば温度を600°C、雰囲気をN₂とした熱処理炉の中で24時間アニールすることにより行った。続いて、多結晶化した半導体層2を、一般的な手法を用いて、島状に加工する。なお、非晶質シリコンの形成には、プラズマCVD法やスパッタリング法を使用しても良い。また、多結晶化はレーザーアニール法を用いても良い。ところで、半導体層2は、その結晶性が非晶質シリコンの膜厚が厚い程良好であるので、厚く形成する。

【0022】次に、図2(b)に示すように半導体層2が形成された基板1上に、シリコン酸化膜(SiO₂)21及びシリコン窒化膜(Si₃N₄)22をこの順に形成する。シリコン酸化膜21及びシリコン窒化膜22は各々、例えば減圧CVD法で210オングストローム、400オングストローム堆積した。

【0023】次いで、上側のシリコン窒化膜22のみに対し前記チャネル領域9を形成すべき部分をエッチングして除去し、その後950°CのドライO₂(酸素)を使用して酸化を行い、図2(c)に示すように、シリコン窒化膜22で覆われていない半導体層2部分を薄肉にしてチャネル領域9を形成すると共に、そのチャネル領域9の上方に厚肉のポリシリコン酸化膜23を形成する。これにより形成されたポリシリコン酸化膜23は、厚みが1600オングストローム、残ったシリコン酸化膜21は厚みが200オングストロームである。この酸化のとき、シリコン窒化膜22は酸化を抑制するので、半導体層2のシリコン窒化膜22で覆われていない部分のみ酸化されていき、薄肉のチャネル領域9を形成できる。

【0024】次いで、図2(d)に示すようにシリコン窒化膜22のみを、例えば熱リン酸により除去したあと、チャネル領域9の上に形成した上記ポリシリコン酸化膜23をマスクとして、例えばリン(P⁺)を半導体層2にイオン注入する。イオン注入条件としては、例えば電圧を40keVとし、イオンの注入密度を2×10¹³cm⁻²とした。半導体層2のイオン注入された部分がソース領域10aとドレイン領域10bとなる。

【0025】次いで、図2(e)に示すように、ポリシリコン酸化膜23を有するシリコン酸化膜21をエッチング等にて除去した後、基板1の上に、例えばSiO₂からなるゲート絶縁膜3を、CVD法により1000オングストロームの厚みに形成し、そのゲート絶縁膜3の上であって、チャネル領域9が形成された上方部分に、前記ソース領域10aとドレイン領域10bそれぞれの一部の上方を覆って、リン(P)をドーブしたポリシリコンからなるゲート電極4を、例えば4500オングストローム程度形成する。続いて、このゲート電極4をマスクとして、前記半導体層2にリン(P⁺)をイオン注入する。イオン注入条件としては、例えば電圧を100keVとし、イオンの注入密度を1×10¹⁵cm⁻²とし

6

た。この注入により、ソース領域10aとドレイン領域10bそれぞれの外側部分に高濃度不純物領域12a、12bが形成され、前記ゲート電極4で覆われた部分が低濃度不純物領域11a、11bとして残る。更に、両低濃度不純物領域11a、11bで挟まれた部分が、チャネル領域9として残る。このとき、ゲート電極4の下方には、両低濃度不純物領域11a、11bと、チャネル領域9とが存在する。

【0026】次いで、図1に示すように、基板1上に層間絶縁膜6を、例えばCVD法により6000オングストロームの厚みに形成した後、不純物活性化の為に熱処理を施した。熱処理条件としては、例えば温度を950°Cとした窒素雰囲気中で30分間加熱することにより行った。その後、層間絶縁膜6及びゲート絶縁膜3を貫通し、ソース領域10a及びドレイン領域10bに達するように、2箇所 contacts ホール7a、7bを開口した後、A1等からなる導電材料を contacts ホール7a、7bに一部充填して電極8a、8bを形成した。

【0027】したがって、このように構成された薄膜トランジスタにおいては、半導体層2のチャネル領域9相当部分に酸化が施されて、半導体層2のソース領域10a及びドレイン領域10bがチャネル領域9よりも厚肉となっている。よって、不純物注入が行われるソース領域10a及びドレイン領域10bが厚いので、濃度制御性が損なわれることがない。また、予め半導体層2を厚く形成しておく、半導体層2は良好な結晶状態となる。また、チャネル領域9の薄肉化を酸化により行うので、半導体層2全体の結晶性が損なわれない。これによりオン電流が大きくなる。更に、ソース領域10a及びドレイン領域10bは厚肉のまま残されるので、ソース領域10a及びドレイン領域10bの抵抗は十分に低い状態となる。これにより、オン電流が低くなり難い。

【0028】一方、チャネル領域9が薄肉となっているので、オフ電流は低減される。更に、オフ電流は、半導体層2がLDD構造とされることで、より低減される。このため、オン・オフ電流比を高くすることができる。

【0029】(実施例2) 図3に本発明の他の実施例を示す。本実施例は、実施例1の場合とは逆に、ゲート電極4上にゲート絶縁膜3を介して半導体層2が設けられた構造としてある。かかる構造の薄膜トランジスタの製造方法を、図4に基づいて説明する。

【0030】先ず、図4(a)に示すように絶縁性基板1上の所定範囲に、リンがドーブされたポリシリコンからなるゲート電極4を形成し、ゲート電極4が形成された基板1上の全面にゲート絶縁膜3を形成する。ゲート電極4の形成は、例えばリンをドーブしたポリシリコンを4500オングストローム堆積して行い、ゲート絶縁膜3の形成は、例えばCVD法によりSiO₂を1000オングストローム堆積して行った。

【0031】次いで、図4(b)に示すように基板1の

7

上にポリシリコンからなる半導体層2を形成する。この半導体層2は、実施例1と同様にして形成する。即ち、原料ガスとしての Si_2H_6 （ジシラン）に N_2 を加えたものを用い、かつ、減圧CVD法を使用し、 470°C の温度、 50Pa の圧力で 1000 オングストロームの非晶質シリコンを堆積した後、熱処理して多結晶化させ形成する。熱処理条件としては、例えば温度を 600°C 、雰囲気を N_2 とした熱処理炉の中で 24 時間アニールすることにより行った。続いて、多結晶化した半導体層2を、一般的な手法を用いて、島状に加工する。なお、非晶質シリコンの形成には、プラズマCVD法やスパッタリング法を使用しても良い。また、多結晶化はレーザーアニール法を用いても良い。

【0032】次いで、同図に示すように、半導体層2のチャネル領域9相当部分を薄肉化する。この薄肉化は、実施例1と同様に行う。即ち、半導体層2が形成された基板1上に、シリコン酸化膜（ SiO_2 ）21及び図示しないシリコン窒化膜（ Si_3N_4 ）をこの順に形成し、上側のシリコン窒化膜のみに対してチャネル領域9を形成すべき部分をエッチングして除去し、その後 950°C のドライ O_2 （酸素）を使用して酸化を行い、シリコン窒化膜で覆われていない半導体層2部分を薄肉にしてチャネル領域9を形成する。このとき、チャネル領域9の上方には、厚肉のポリシリコン酸化膜23が形成される。

【0033】次いで、上側のシリコン窒化膜のみを熱リン酸を用いて除去した後、上記ポリシリコン酸化膜23をマスクとして、半導体層2にリン（ P^+ ）をイオン注入し、ソース領域10aとドレイン領域10bを形成する。残った部分が前記チャネル領域9となる。イオン注入条件としては、例えば電圧を 40keV とし、イオンの注入密度を $2 \times 10^{13}\text{cm}^{-2}$ とした。

【0034】次いで、図4（c）に示すように、ポリシリコン酸化膜23を有するシリコン酸化膜21の上に、レジスト24をパターン形成し、このレジスト24をマスクとしてリン（ P^+ ）をソース領域10aとドレイン領域10bにイオン注入する。イオン注入条件としては、例えば電圧を 40keV とし、イオンの注入密度を $1 \times 10^{15}\text{cm}^{-2}$ とした。これにより、ソース領域10aとドレイン領域10bの外側部分に高濃度不純物領域12a、12bが形成される。ソース領域10a及びドレイン領域10bのレジスト24にて覆われた部分には、低濃度不純物領域11a、11bが残る。更に、両低濃度不純物領域11a、11bで挟まれた部分にはチャネル領域9が残る。このとき、ゲート電極4の上方に、両低濃度不純物領域11a、11bと、チャネル領域9とが存在するようになすと共に、レジスト24を形成する。

【0035】次いで、図3に示すように、レジスト24

8

を除去した後、基板1上に層間絶縁膜6を形成し、その後不純物活性化のための熱処理を施した。熱処理条件としては、例えば温度を 950°C とした窒素雰囲気中で 30 分間行った。その後、層間絶縁膜6を貫通し、ソース領域10a及びドレイン領域10bに達するように、2箇所 contacts 7a、7bを開口した後、A1等からなる導電材料を contacts 7a、7bに一部充填して電極8a、8bを形成した。

【0036】したがって、この薄膜トランジスタにおいても、前同様に、濃度制御性を損なうことがなく、またオン・オフ電流比を高くすることができる。

【0037】

【発明の効果】以上詳述したように本発明によれば、オン・オフ電流比を高くすることが可能となり、液晶表示装置に組み込まれた場合には絵素電極へ電荷を短時間で充電でき、また充電された電荷を1フレームの間十分に保持することができる。更に、SRAMに組み込まれた場合には、消費電流を低減でき、また耐ノイズ性や耐放射線性を良くしてメモリセルを安定化できる。また、不純物の注入が行われるソース領域及びドレイン領域が厚いので、濃度制御性を損なうことがない。

【図面の簡単な説明】

【図1】本実施例の薄膜トランジスタを示す断面図である。

【図2】その薄膜トランジスタの製造プロセスを示す工程図（断面図）である。

【図3】本発明の他の実施例を示す断面図である。

【図4】他の実施例に係る薄膜トランジスタの製造プロセスを示す工程図（断面図）である。

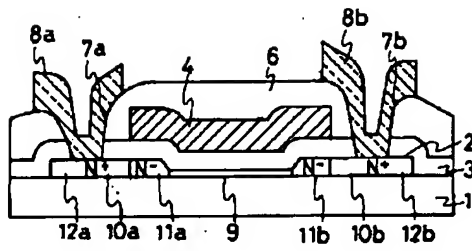
【図5】従来の薄膜トランジスタを示す断面図である。

【図6】従来の他の薄膜トランジスタを示す断面図である。

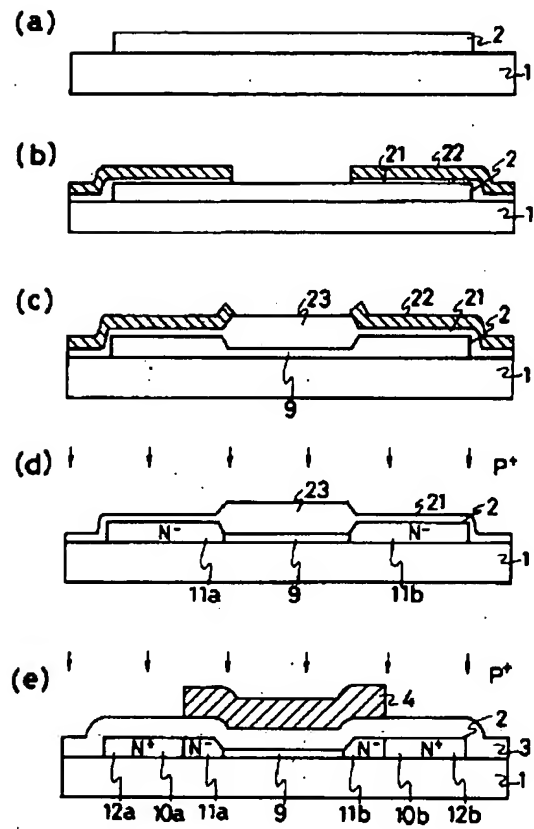
【符号の説明】

- 1 基板
- 2 半導体層
- 3 ゲート絶縁膜
- 4 ゲート電極
- 6 層間絶縁膜
- 7a、7b contacts
- 8a、8b 電極
- 9 チャネル領域
- 10a ソース領域
- 10b ドレイン領域
- 11a、11b 低濃度不純物領域
- 12a、12b 高濃度不純物領域
- 21 シリコン酸化膜
- 22 シリコン窒化膜
- 23 ポリシリコン酸化膜
- 24 レジスト

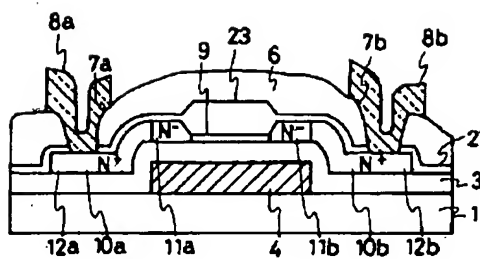
【図1】



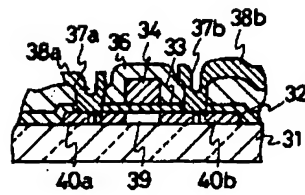
【図2】



【図3】



【図5】



【図6】

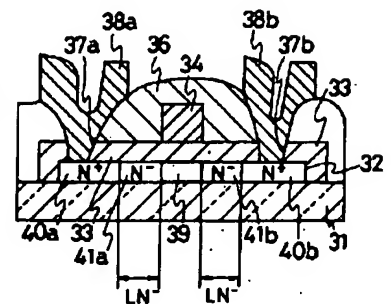


Fig. 1 consists of three cross-sectional views of a semiconductor device, labeled (a), (b), and (c), showing the progression of its construction.

- (a)** Shows a substrate with a central region 4 (hatched) and a top layer 2. A gate structure 6 is formed on top of region 4. The substrate is divided into regions 1 and 3.
- (b)** Shows the device after a first implantation step. A new layer 9 is added on top of the gate structure 6. The central region 4 is now labeled 10a. The substrate is divided into regions 1, 2, and 3. The top surface is labeled P⁺. The gate structure is labeled 23. The regions 10a and 10b are indicated by arrows.
- (c)** Shows the device after a second implantation step. A new layer 24 is added on top of the gate structure 23. The central region 4 is now labeled 11a. The substrate is divided into regions 1, 2, and 3. The top surface is labeled P⁺. The gate structure is labeled 23. The regions 11a and 11b are indicated by arrows. The regions 12a and 12b are also indicated by arrows.